|  |  |
| --- | --- |
| **Apellidos, Nombre:** | MARTINEZ-CARRASCO RUIZ JUAN DIEGO |
| **DNI:** | 49858155C |

**Tarea 1 de Fundamentos de Computadores**1° curso de Grado en Ingeniería Informática  
Fecha de entrega: *5 de octubre de 2020*

**Test (2.5 puntos)** Rellene la siguiente tabla con la respuesta correcta a las preguntas de test que siguen. Escriba para ello **una X** en la celda correspondiente a cada respuesta correcta. Cada pregunta tiene una y sólo una respuesta correcta (una X para cada una de las columnas T1-T10). Cada 3 respuestas incorrectas anularán 1 correcta.

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **T1** | **T2** | **T3** | **T4** | **T5** | **T6** | **T7** | **T8** | **T9** | **T10** |
| **a** | X | X | X |  |  |  |  |  |  | X |
| **b** |  |  |  |  |  |  |  |  |  |  |
| **c** |  |  |  |  |  | X |  |  | X |  |
| **d** |  |  |  | X | X |  | X | X |  |  |

**T1.** Para una operación de escritura en memoria RAM (por parte de la CPU), es cierto que:  
 a) Se ven implicados tanto el bus de datos como el bus de direcciones y el bus de control.  
 b) Ninguna de las otras tres respuestas es correcta.  
 c) Según se utilice un esquema de almacenamiento little-endian o big-endian, la CPU utilizará un tamaño de bus de direcciones u otro.  
 d) Implicará tanto al bus de datos como al bus de direcciones, pero no al bus de control.

**T2.** Un bus de direcciones de 64 puede direccionar:  
 a) Hasta 2^64 celdas de memoria de 1 byte de contenido cada una.  
 b) Hasta 2^64 celdas de memoria de 2^64 bits de contenido cada una.  
 c) Hasta 64 celdas de memoria de 2^64 bits de contenido cada una.  
 d) Hasta 2^64 celdas de memoria de 64 bits de contenido cada una.

**T3.** Considérense dos CPUs, X e Y, la primera con una conexión a la RAM con un bus de direcciones de 14 bits y la segunda con un bus de direcciones de 18 bits. Será cierto que:  
 a) La CPU Y podrá direccionar una memoria RAM con un tamaño hasta 16 veces mayor que la CPU X.  
 b) La CPU Y podrá direccionar una memoria RAM con un tamaño hasta 2^14 veces mayor que la CPU X.  
 c) La CPU Y podrá direccionar una memoria RAM con un tamaño hasta 4 veces mayor que la CPU X.  
 d) La CPU Y podrá direccionar una memoria RAM con un tamaño hasta 4 veces mayor que la CPU X.

**T4.** Sobre el firmware, es cierto que:  
 a) Es sinónimo del chipset de una placa base.  
 b) Ninguna de las otras tres respuestas es correcta.  
 c) De existir, imposibilita hacer overclocking al microprocesador.  
 d) Puede ser modificado, pero no se hace con asiduidad.

**T5.** En la arquitectura de un computador, sobre el bus de datos, es cierto que:  
 a) Su ancho determina el máximo número de celdas direccionables de la memoria RAM.  
 b) Está siempre directamente conectado al SouthBridge.  
 c) Contiene siempre la dirección de acceso a la memoria RAM.  
 d) Su ancho define el número de bytes transferibles en una sola operación de lectura/escritura.

**T6.** Un ordenador que usa el esquema de almacenamiento little-endian almacena una variable numérica de 4 bytes en la dirección de memoria 0x3000. El byte más significativo de dicha variable estará almacenado:  
 a) En la dirección de memoria 0x3004.  
 b) En la dirección de memoria 0x3000.  
 c) En la dirección de memoria 0x3003.  
 d) Ninguna de las otras tres respuestas es correcta.

**T7.** En una placa base, el NorthBridge o Puente Norte:  
 a) Determina, conjuntamente con el SouthBridge, el ancho del bus de direcciones del procesador.  
 b) Es la parte de la placa madre en la que reside la BIOS  
 c) Se encarga únicamente de gestionar los accesos a la tarjeta gráfica.  
 d) Conecta la CPU con los periféricos más rápidos, la memoria, y la tarjeta gráfica.

**T8.** En lo referente al tiempo de ejecución de una aplicación, y a igualdad del resto de condiciones, es cierto que:  
 a) Es directamente proporcional a la velocidad en Hz de la CPU.  
 b) Es directamente proporcional a la anchura del bus de direcciones.  
 c) Es independiente de que se realice overclocking sobre el procesador.  
 d) Disminuye al reducir el número de instrucciones ejecutadas.

**T9.** El esquema de Von Neumann es:  
 a) Un esquema ya en desuso que marcó la arquitectura de los ordenadores de una época.  
 b) Un primer prototipo de un nuevo esquema de un computador recientemente propuesto.  
 c) El esquema generalizado, aún en vigor, de los principales bloques en los que compone un ordenador.  
 d) Una visión del esquema de funcionamiento del firmware de un ordenador.

**T10.** Cuando decimos que un ordenador tiene una arquitectura de direccionamiento de 32 bits, nos estamos refiriendo a:  
 a) Que el bus de direcciones es de 32 bits.  
 b) Que el bus de control es de 32 bits.  
 c) Que el tamaño de cada celda de memoria es de 32 bits .  
 d) Que el bus de datos es de 32 bits.

**P1. (2.5 puntos)** Indicar el valor correcto con el que rellenar cada hueco en la siguiente tabla:

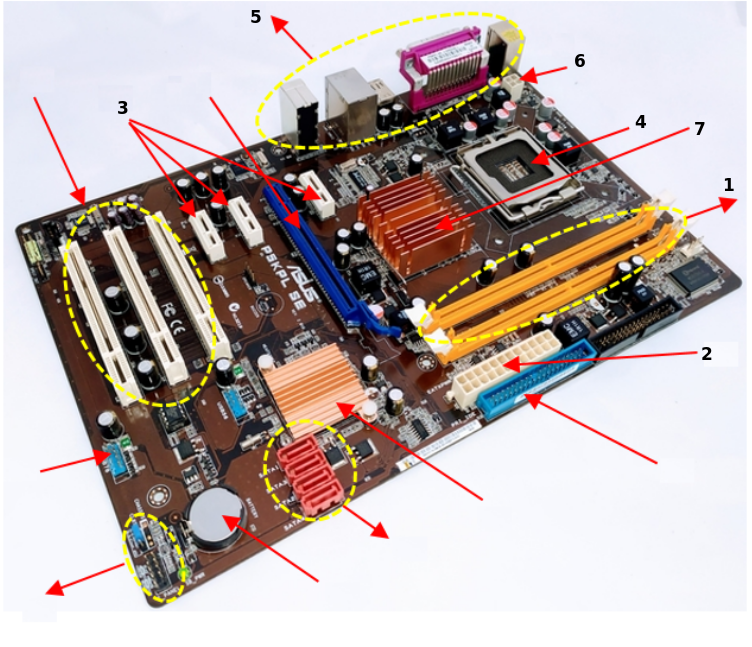
|  |  |
| --- | --- |
| **FRASE CON HUECO A RELLENAR** | **RESPUESTA** |
| **La velocidad de transmisión de un enlace capaz de enviar aproximadamente 10 MB en 4000.0 segundos es aproximadamente \_\_\_\_ segundos.** | 0.0025 MB/segundos |
| **Una CPU tarda 2 segundos en ejecutar un programa de 400 millones de instrucciones. Si cada una tarda en promedio 3 ciclos en ejecutarse, la frecuencia de dicha CPU es de \_\_\_\_.** | 600Mhz |
| **Un disco de 8 TB de tamaño posee exactamente \_\_\_\_ MB.** | 8.388.608MB |
| **Dado un bus con velocidad de transmisión de 500 MB/s, el tiempo que tardará en enviarse por él una secuencia de 100 MB será aproximadamente \_\_\_\_ segundos.** | 0.2 segundos |
| **Para direccionar una memoria de 1.0 KB hace falta un bus de direcciones de \_\_\_\_ bits de ancho** | 13 bits |
| **Enviar un archivo de aproximadamente 300 GB por un enlace de red con velocidad de transferencia de 600 Gbits/s llevará aproximadamente \_\_\_\_ segundos.** | 4 segundos |
| **Una memoria de 16 GB de tamaño posee exactamente \_\_\_\_ bloques de 1 KB.** | 16.777.216 |
| **Un bus de 8 bits de ancho funcionando a 1 KHz posee un ancho de banda (velocidad de transferencia) de aproximadamente \_\_\_\_.** | 0.001 MB/s |
| **Una secuencia de 100 millones de instrucciones, con un CPI promedio de 4 ciclos por instrucción, tardará en ejecutarse \_\_\_\_ segundos en una CPU a 80.0 MHz.** | 5 segundos |
| **Un ordenador con esquema de almacenamiento big endian almacena una variable numérica de 2 bytes en la dirección de memoria 0x48EE8AE9. El byte más significativo de dicha variable estará almacenado en la dirección de memoria \_\_\_\_.** | 0x48 |

**P2. (1.5 puntos)** Indicar la respuesta correcta con la que rellenar cada hueco en la siguiente tabla:

|  |  |
| --- | --- |
| **FRASE CON HUECO A RELLENAR** | **RESPUESTA** |
| **Los principales ingenieros detrás del proyecto ENIAC fueron \_\_\_\_ y \_\_\_\_.** | Eckert y Mauchly |
| **El concepto de arquitectura del repertorio de instrucciones (ISA) surgió con el computador \_\_\_\_.** | IBM System 360 |
| **El procesador que llevaba el primer computador personal (PC) fabricado por IBM en 1981 era el Intel \_\_\_\_.** | Intel Pentium IV |
| **El primer transistor fue diseñado en la década de los años \_\_\_\_ en los laboratorios Bell de Estados Unidos.** | 47 (1947) |
| **El primer computador electrónico cuyo programa se almacenaba también en su memoria, fue conocido por las siglas \_\_\_\_.** | EDVAC |
| **El padre del primer diseño general de un computador, que incluía ya la idea de programa almacenado, y al que debe su nombre el esquema principal que siguen teniendo los computadores hoy en día fue \_\_\_\_.** | Von Neumann |

**P3. (1.75 puntos)** Identificar los componentes numerados en la siguiente placa madre, indicando el nombre de cada uno en la celda correspondiente. Indicar también en la columna *CÓDIGO FUNCIONALIDAD* el número romano correspondiente según la tabla de funcionalidades que aparece al final del ejercicio.

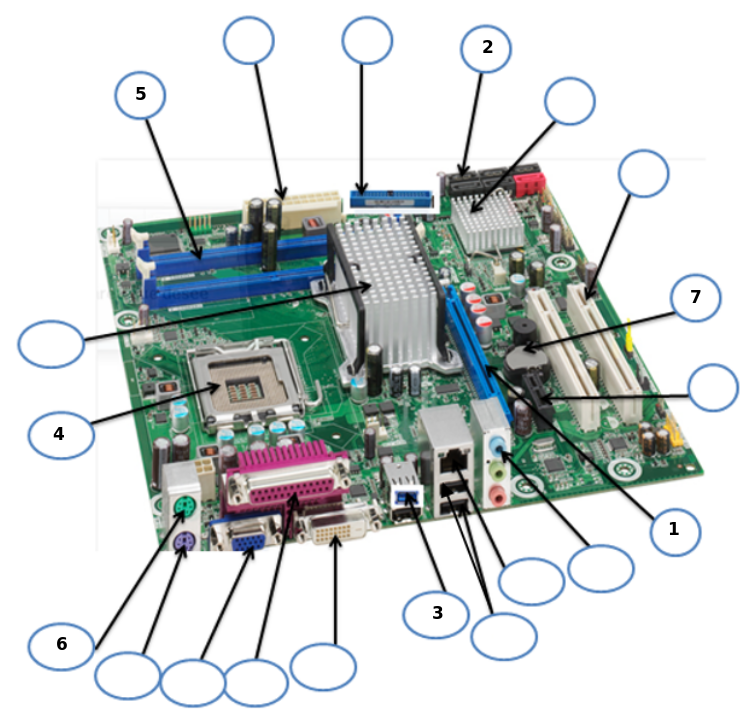
|  |  |  |
| --- | --- | --- |
| **NÚMERO EN LA IMAGEN** | **NOMBRE DEL COMPONENTE** | **CÓDIGO FUNCIONALIDAD** |
| **1:** | Ranuras memoria RAM | VIII |
| **2:** | Toma de alimentación para la placa | IX |
| **3:** | Ranuras PCIe de 1 canal | II |
| **4:** | Zócalo CPU | V |
| **5:** | Back panel | IV |
| **6:** | Conector refrigerador CPU | VI |
| **7:** | Northbridge | VII |



|  |  |
| --- | --- |
| **CÓDIGO FUNCIONALIDAD** | **FUNCIONALIDAD** |
| **I:** | **Ranura de conexión de 32 bits para periféricos antiguos** |
| **II:** | **Conectores de periféricos modernos de 64 bits con básicas necesidades de ancho de banda** |
| **III:** | **Conector de máximas prestaciones de ancho de banda usado normalmente para la conexión de tarjetas gráficas muy potentes** |
| **IV:** | **Conectores/puertos de periféricos externos integrados en la placa base** |
| **V:** | **Suministro de voltaje a los reguladores de voltaje del microprocesador** |
| **VI:** | **Espacio de conexión de CPU y de su disipador de calor** |
| **VII:** | **Ventilación/Refrigeración sobre el Chipset encargado de controlar la memoria RAM y las tarjeta gráficas de altas prestaciones** |
| **VIII:** | **Conexión de módulos de memoria RAM** |
| **IX:** | **Suministro de voltaje a la placa base** |
| **X:** | **Conexión bus datos paralelo para discos duros mecánicos y unidades ópticas (CD/DVD) antiguas** |
| **XI:** | **Ventilación/Refrigeración sobre el Chipset encargado de controlar las unidades periféricas** |
| **XII:** | **Conexión de dispositivos, con bus datos serie, tales como discos duros, SSD y unidades ópticas (CD/DVD)** |
| **XIII:** | **Alimentación eléctrica de la BIOS** |
| **XIV:** | **Iluminación de pilotos ubicados en la parte frontal de la caja del PC relativos al power, reset y actividad disco duro** |
| **XV:** | **Conexión para puertos USB situados en la parte frontal de la caja del PC** |

**P4. (1.75 puntos)** Identificar los componentes numerados en la siguiente placa madre, indicando el nombre de cada uno en la celda correspondiente. Indicar también en la columna *CÓDIGO FUNCIONALIDAD* el número romano correspondiente según la tabla de funcionalidades que aparece al final del ejercicio.

|  |  |  |
| --- | --- | --- |
| **NÚMERO EN LA IMAGEN** | **NOMBRE DEL COMPONENTE** | **CÓDIGO FUNCIONALIDAD** |
| **1:** | Conector PCIe de 16 canales | IX |
| **2:** | Conector SATA | III |
| **3:** | USB 3.x | XIII |
| **4:** | Zocalo CPU | XIX |
| **5:** | Ranura Memoria Ram | I |
| **6:** | Conector PS/2 ratón | XVIII |
| **7:** | Pila | VII |



|  |  |
| --- | --- |
| **CÓDIGO FUNCIONALIDAD** | **FUNCIONALIDAD** |
| **I:** | **Conexión de módulos de memoria RAM** |
| **II:** | **Suministro de voltaje a la placa base** |
| **III:** | **Conexión de dispositivos, con bus datos serie, tales como discos duros, SSD y unidades ópticas (CD/DVD)** |
| **IV:** | **Conexión bus de datos para discos duros mecánicos y unidades ópticas (CD/DVD) antiguas** |
| **V:** | **Ventilación/Refrigeración sobre el Chipset encargado de controlar las unidades periféricas** |
| **VI:** | **Ranura de conexión de 32 bits para periféricos antiguos** |
| **VII:** | **Alimentación eléctrica de la BIOS** |
| **VIII:** | **Conectores de periféricos modernos de 64 bits con básicas necesidades de ancho de banda** |
| **IX:** | **Conector de máximas prestaciones de ancho de banda usado normalmente para la conexión de tarjetas gráficas muy potentes** |
| **X:** | **Entrada/salida audio analógico: Micrófono y auriculares analógicos** |
| **XI:** | **Conexión de latiguillo de red LAN Ethernet** |
| **XII:** | **Conexión más estandarizada de dispositivos periféricos sin necesidad de alimentación eléctrica adicional** |
| **XIII:** | **Conexión más estandarizada de dispositivos periféricos con mayor ancho de banda sin necesidad de alimentación eléctrica adicional** |
| **XIV:** | **Salida digital de señal de vídeo** |
| **XV:** | **Conector antiguo para impresoras** |
| **XVI:** | **Salida analógica de señal de vídeo** |
| **XVII:** | **Puerto serie conexión de teclado** |
| **XVIII:** | **Puerto serie conexión de ratón** |
| **XIX:** | **Espacio de conexión del microprocesador y de su disipador de calor** |
| **XX:** | **Ventilación/Refrigeración sobre el Chipset encargado de controlar la memoria RAM y las tarjeta gráficas de altas prestaciones** |